



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05136369 A**(43) Date of publication of application: **01.06.93**

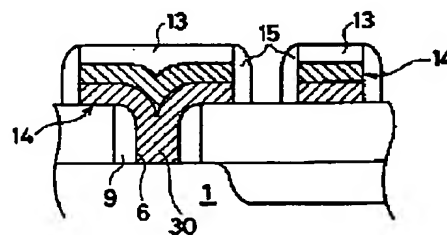
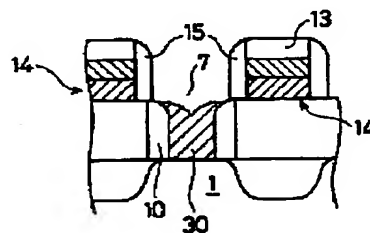
(51) Int. Cl.

**H01L 27/108****H01L 21/28****H01L 21/316**(21) Application number: **03296990**(71) Applicant: **SHARP CORP**(22) Date of filing: **13.11.91**(72) Inventor: **IGUCHI KATSUJI**(54) **MANUFACTURE OF SEMICONDUCTOR MEMORY** COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

**PURPOSE:** To secure the allowance in superposition between a bit line contact hole and a bit line by opening the bit line contact hole and an accumulating electrode contact hole at the same time, and filling up the accumulating electrode contact hole with one part of a bit line constituting material.

**CONSTITUTION:** An interlayer insulating film 5 is made on a p-type Si substrate 1 at the same time, and then a bit line contact hole 6 and an accumulating electrode contact hole 7b are opened at the same time. Next, the sidewalls 9 and 10 of SiO<sub>2</sub> are made at two kinds of contact holes 6 and 7. Next, a polycrystalline film 11 to become a bit line, a tungsten silicide film 12, and a silicon dioxide film 13 are stacked in order. At this time, by the bit line material, a stop part 30 covers one part of the sidewall 10 of the accumulating electrode contact hole 7. Hereby, the quantity of the superposition between the bit line contact hole and the bit line and the allowance in superposition between the accumulating electrode contact hole and the bit line can be secured.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-136369

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
21/28	L	7738-4M		
21/316	B	8518-4M		
		8728-4M		
			H 0 1 L 27/ 10	3 2 5 N

審査請求 未請求 請求項の数 2 (全 7 頁)

(21)出願番号 特願平3-296990

(22)出願日 平成3年(1991)11月13日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 井口 勝次

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74)代理人 弁理士 野河 信太郎

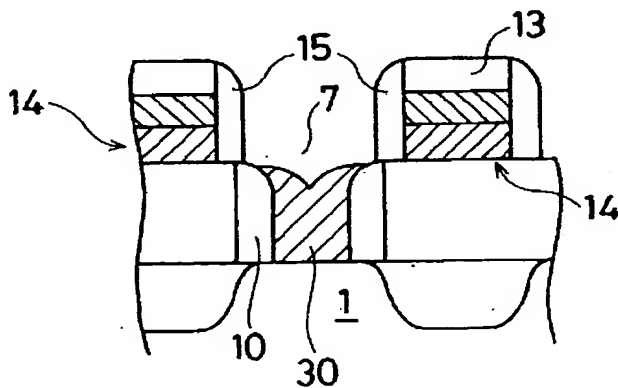
(54)【発明の名称】 半導体メモリの製造方法

(57)【要約】

【目的】 ビット線コンタクトホールとワード線間の距離や、ビット線コンタクトホールとビット線間の重ね合せ余裕度を確保すること。

【構成】 ビット線コンタクトホールと蓄積電極コンタクトホールを同時に開口した後、これら2種類のコンタクトホールに絶縁膜による側壁を同時にそれぞれ形成する。

【効果】 ワード線-ビット線コンタクトホール、ワード線-蓄積電極コンタクトホール、ビット線-ビット線コンタクトホール、蓄積電極コンタクトホール-ビット線の各重ね合せ余裕度の確保が容易となり、微細なDRAMメモリセルの形成が容易となる。



## 【特許請求の範囲】

【請求項1】 活性領域及びワード線を有する半導体基板上に、1つのキャパシタと、前記キャパシタの下部電極とビット線の間を接続する1つのトランジスタからなり、前記キャパシタを前記ビット線上に配置したメモリセルを複数個有する半導体メモリ素子を形成するに際して、

前記ビット線と前記トランジスタの1端子を接続するビット線コンタクトホールと前記キャパシタの下部電極と前記トランジスタの他の1端子を前記キャパシタの下部電極に接続する蓄積電極コンタクトホールの開口を同時に行う工程と、前記2種類のコンタクトホールのそれぞれに絶縁膜による側壁を形成する工程と、

前記2種類のコンタクトホールを含む半導体基板上にビット線を形成するとともに、前記側壁を有する少なくとも蓄積電極コンタクトホールを前記ビット線構成材料の一部によって埋め込む工程とを含むことからなる半導体メモリ素子の製造方法。

【請求項2】 ビット線加工を途中で一旦停止し、蓄積電極コンタクトホールが存在する領域をレジストパターンで覆い、再度ビット線加工を継続する請求項1による半導体メモリ素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は半導体メモリ素子の製造方法に関し、更に詳しくは、活性領域及びワード線を有する半導体基板上に、1つのキャパシタと、キャパシタの下部電極とビット線の間を接続する1つのトランジスタからなり、キャパシタを前記ビット線上に配置したメモリセルを複数個有するDRAM（ダイナミック ランダムアクセス メモリ）の製造方法に関するものである。

## 【0002】

【従来の技術】 4MbDRAMまでのスタック型DRAMメモリセルではメモリセルを構成するセルキャパシタが、メモリセルの信号読みだしと書き込みを行うビット線の下に形成されている。しかし微細化に伴うキャパシタ容量の低下を補うため、ビット線上にキャパシタを形成した構造（COB構造：Capacitor-Over-Bit-line構造）が提案されている。この構造ではセル領域全面にキャパシタを形成できる為、比較的大きな容量のキャパシタを形成し易く64Mb以降の超微細DRAMには有望な技術である。

【0003】 上記構造ではキャパシタ下部電極をセルトランジスタへ接続するコンタクトホール（蓄積電極コンタクトホール）をビット線とワード線で囲まれた井の字型の中央に形成する必要がある。しかしセル面積が縮小されると、ビット線コンタクトホールとビット線の距離及びビット線コンタクトホールとワード線の距離が短くなり、パターン形成時の重ね合せ余裕度が確保できなく

なる。そこで本発明者等はビット線コンタクトホールと前記キャパシタの下部電極とセルトランジスタの他の1端子を接続するコンタクトホール（蓄積電極コンタクトホール）の開口を同時に行う工程とビット線形成工程において蓄積電極コンタクトホールを前記ビット線構成材料の一部によって埋め込む工程よりなるメモリセル形成方法を提案し、重ね合せ余裕度を確保しようとした。

## 【0004】

【発明が解決しようとする課題】 このメモリセル形成方法では、下記の問題が明らかになった。

(i) メモリセル面積が更に縮小された場合、ビット線形成時に於いても、ビット線とセルトランジスタを接続するビット線コンタクトホールとワード線間の距離や、ビット線コンタクトホールとビット線間の重なり量も十分ではなく、十分な重ね合せ余裕度が確保できない。

【0005】 (ii) 又、上記方法ではビット線加工と同時にビット線間に自動的にポリシリコンで埋め込まれた蓄積電極コンタクトホールの一部が形成される事になるが、ビット線と前記コンタクトホール間の距離が十分確保できず、ビット線と蓄積電極がショートする場合があります。

(iii) 更に、ビット線加工の際にワード線段差部の厚いビット線材料をエッチングする必要があり、このオーバーエッチングによって、前記コンタクトホールに埋め込まれたポリシリコンがエッチングされてしまう場合がある。

## 【0006】

【課題を解決するための手段】 この発明は、活性領域及びワード線を有する半導体基板上に、1つのキャパシタと、前記キャパシタの下部電極とビット線の間を接続する1つのトランジスタからなり、前記キャパシタを前記ビット線上に配置したメモリセルを複数個有する半導体メモリ素子を形成するに際して、前記ビット線と前記トランジスタの1端子を接続するビット線コンタクトホールと前記キャパシタの下部電極と前記トランジスタの他の1端子を前記キャパシタの下部電極に接続する蓄積電極コンタクトホールの開口を同時に行う工程と、前記2種類のコンタクトホールのそれぞれに絶縁膜による側壁を形成する工程と、前記2種類のコンタクトホールを含む半導体基板上にビット線を形成するとともに、前記側壁を有する少なくとも蓄積電極コンタクトホールを前記ビット線構成材料の一部によって埋め込む工程とを含むことからなる半導体メモリ素子の製造方法である。

【0007】 すなわち、この発明は、ビット線とセルトランジスタの1端子を接続するビット線コンタクトと前記キャパシタの下部電極と前記トランジスタの他の1端子を前記キャパシタの下部電極に接続する蓄積電極コンタクトホールの開口を同時に行い、これら2種類のコンタクトホールに絶縁膜による側壁を形成し、ビット線形成工程において、蓄積電極コンタクトホールを前記ビッ

ト線構成材料の一部によって埋め込むようにしたものである。

【0008】また、この発明では、ビット線加工を途中で一旦停止し、蓄積電極コンタクトホールが存在する領域をレジストパターンで覆い、ビット線加工を継続するものである。

【0009】

【作用】ビット線コンタクトホールと蓄積電極コンタクトホールを同時に開口した後、これら2種類のコンタクトホールに絶縁膜による側壁を同時にそれぞれ形成する事により、ワード線との絶縁が確保されると同時に、2種類のコンタクトホールの開口径が縮小され、ビット線コンタクトホールに対するビット線の重なり量が大きくできる。又、蓄積電極コンタクトホールとビット線の重ね合せ余裕度も確保できる。

【0010】また、ワード線段差部に残るビット線材料を除去する為のビット線オーバエッチングの際には、蓄積電極コンタクトホールが存在する領域をレジストマスクによって覆うことにより、蓄積電極コンタクトホールに埋め込まれたビット線材料を極度にエッチングする事なく、ビット線を加工する事ができ、より高精度に作製工程を制御できる。

【0011】

【実施例】本発明の適用例を以下の実施例に示す。しかしながら本発明はこの実施例のみに限定されるものではない。

【0012】実施例1

本発明による第1の実施例のDRAMメモリセルの作製工程を図1～図10に示す。又、メモリセルの配置図の一例を図11に示す。まず、P型Si基板1に素子分離領域2を形成し、活性領域3を規定した後、ゲート酸化膜（図示せず）を形成した後ゲート電極となるワード線4（図11参）が作製される。ソース・ドレインを規定するイオン注入が行われた後、ワード線と他の配線等を絶縁する層間絶縁膜5が形成される。以上の工程は公知の技術によって実施できる。

【0013】この際、層間絶縁膜5の形成はビット線加工に支障がないようワード線段差がメモリセル内で、ある程度平坦化される様に行われるのが好ましい。この平坦化は層間絶縁膜を厚く堆積するだけでも可能だが、メルト法、エッチバック法等の公知技術を用いる事も可能である。ワード線段差の平坦化はビット線容量の低減およびビット線配線抵抗の低減に有効である。

【0014】以下の工程説明では図11中のA-A'線の矢印の方向に見た蓄積電極コンタクト部を図1から図5に示し、B-B'線の矢印の方向に見たビット線コンタクト部を図6から図10に示す。まず、図6及び図1に示すように、層間絶縁膜5がP型Si基板1上に同時に形成された後、ビット線コンタクトホール6と蓄積電極コンタクトホール7を同時に開口する（図7及び図2参

照）。

【0015】次に、2種類のコンタクトホール6、7を含む層間絶縁膜5の全面にLPCVD法により二酸化シリコン（ $\text{SiO}_2$ ）膜8を堆積した後、異方性エッチング法でこれをエッチバックして点線で示した部分の $\text{SiO}_2$ 膜8を除去し、2種類のコンタクトホール6、7に $\text{SiO}_2$ の側壁9,10を形成する（図8及び図3参照）。

【0016】この際、側壁に用いられる材料としては本実施例のように二酸化シリコン膜8に限らず、窒化シリコン（ $\text{Si}_3\text{N}_4$ ）膜、酸窒化シリコン（ $\text{SiO}_x\text{N}_y$ ）膜、酸化タンタル（ $\text{TaO}_x$ ）等の絶縁膜であってもよい。次いで、側壁9,10を含む2種類のコンタクトホール6、7を有するSi基板1上の全面に、ビット線となる多結晶シリコン（ $\text{Poly-Si}$ ）膜11とタングステンシリサイド（ $\text{WSi}_x$ ）膜12と二酸化シリコン膜（ $\text{SiO}_2$ ）13を順次堆積する。

【0017】この時、ビット線コンタクトホール6と蓄積電極コンタクトホール7は前記 $\text{poly-Si}$ 膜11と $\text{WSi}_x$ 膜12で完全に埋め込まれてしまう。その後、ビット線パターンを規定するレジストパターンがリソグラフィ手法によって二酸化シリコン13上に形成され（図示せず）、反応性イオンエッチング法で二酸化シリコン膜13を加工する。このレジストパターンを除去した後、加工された二酸化シリコン膜13をマスクに上記 $\text{WSi}_x/\text{poly-Si}$ の2層膜12、11が加工されて2層膜12、11からなるビット線14を形成する（図9及び図4参照）

この際、ビット線材料により、図9及び図4で符号30、30で示された $\text{poly-Si}$ の埋め込み部のうち図9の埋め込み部30がビット線コンタクトホール6の側壁9の全面を覆い、図4の埋め込み部30が蓄積電極コンタクトホール7の側壁10の一部を覆っている。ビット線材料は2種類のコンタクトホール6、7を埋め込む事ができ、メモリセル特性に問題が無ければ、他の導電性材料でもよい。

【0018】又、二酸化シリコン膜のマスク13は必ずしも必要ではなく、レジストマスクでビット線材料の2層膜12、11を加工し、次の工程に進んでも良い。但し、その場合には後に層間絶縁膜の形成や、蓄積電極コンタクトホールの形成が必要となる。次に、二酸化シリコン膜を堆積し、エッチバックする事によりビット線14に二酸化シリコンの側壁15を形成すれば、ビット線14を完全に絶縁膜で覆うことができ、次の蓄積電極（キャパシタ電極）形成工程に進むことができる。図5で側壁15の形成が終わった時、ビット線側壁15の間に導電性材料の埋め込み部30で埋め込まれた蓄積電極コンタクトホール7が開いており、蓄積電極コンタクトホール7の開口工程は必要ない（図5及び図10参照）。

【0019】メモリセル領域ではワード線の配置が密であるため平坦化が容易であるが、メモリセルアレイ部の

端では図12及び図13に示すようにワード線段差20が残る。この様な段差部ではビット線材料が厚いため平坦部のエッチングが終了しても、エッチング残21が残る。これはビット線同士を短絡させてしまうため、取り除かなければならない。通常の工程ではオーバーエッチングによって除去するが、蓄積電極コンタクトホール7に埋め込まれた、ビット線材料（大部分はpoly-Si）30までエッチングされてしまうためオーバーエッチングは好ましくない。

【0020】そこで、本実施例では、ワード線段差部20に残るビット線材料21を除去する為のビット線オーバーエッチングの際には、平坦部のビット線エッチングが終了した後（プラズマの発光強度をモニターする事でエッチングの終了を確認することは公知の技術である）、蓄積電極コンタクトホール7の存在する領域をレジストパターン22（図12及び図13参照）で覆い、再度エッチングすることにより、段差部20のエッチング残21を取り除くことができる。

【0021】このように本実施例では、ビット線コンタクトホール6と蓄積電極コンタクトホール7は側壁9、10によって径が縮小されるため、ビット線コンタクトホール6とビット線14の重なり量が側壁9の厚さ分だけ大きくなり、重ね合せ余裕度が大きくできる（図9参照）。又、ビット線14と蓄積電極コンタクトホール7の距離も側壁10の厚さ分だけ大きくなり、重ね合せ余裕度が大きくできる（図4参照）。又、前記2種類のコンタクトホールが開口時にワード線の縁に接したとしても、側壁により絶縁されるためワード線とビット線あるいは蓄積電極が短絡する事はない。従って、2種類のコンタクトホール6、7とワード線4の間の重ね合せ余裕度も大きくできる（図11参照）。

【0022】さらに、蓄積電極コンタクトホール7に図14、図15に示すように埋め込み部30を介してキャパシタ下部電極31、キャパシタ絶縁膜32及びプレート電極（キャパシタ上部電極）33からなるキャパシタが形成される。また、キャパシタ形成の変形例として、図16、図17、図18に示すように、ビット線14に二酸化シリコンの側壁15を形成した後、蓄積電極コンタクトホール7の埋め込み部30上に局所配線34を形成し、続いて、2層の層間絶縁膜35、36を形成して平坦化した後、キャパシタ下部電極37、キャパシタ絶縁膜38及びプレート電極（キャパシタ上部電極）39からなるキャパシタも形成できる。なお、図16中のC-C'線の矢印の方向に見た蓄積電極コンタクト部を図16に示し、D-D'線の矢印の方向に見たビット線コンタクト部を図17に示す。

【0023】図19～図22は、加工された二酸化シリコン膜13をビット線形成用マスク（図9、図4参照）として用いずにビット線14を形成するようにしたこの発明の第2の実施例を示す。図19、図21に示すように、

二酸化シリコン膜13をビット線形成用マスクとして用いずにビット線14を形成し、続いて、CVD法で二酸化シリコン膜41を積層し、次に、図20、図22に示すように、フォトリソを用いてコンタクトパターン（図示せず）を形成し、蓄積電極コンタクトホール7の二酸化シリコン膜41のみを除去する。以降の工程は上記第1の実施例と同様である。

#### 【0024】

【発明の効果】本発明によれば、ワード線-ビット線コンタクトホール、ワード線-蓄積電極コンタクトホール、ビット線-ビット線コンタクトホール、蓄積電極コンタクトホール-ビット線の各重ね合せ余裕度の確保が容易となり、微細なDRAMメモリの形成が容易となる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例のメモリセル作製工程における蓄積電極コンタクト部の第1ステップを示す構成説明図である。

【図2】上記第1実施例のメモリセル作製工程における蓄積電極コンタクト部の第2ステップを示す構成説明図である。

【図3】上記第1実施例のメモリセル作製工程における蓄積電極コンタクト部の第3ステップを示す構成説明図である。

【図4】上記第1実施例のメモリセル作製工程における蓄積電極コンタクト部の第4ステップを示す構成説明図である。

【図5】上記第1実施例のメモリセル作製工程における蓄積電極コンタクト部の第5ステップを示す構成説明図である。

【図6】上記第1実施例のメモリセル作製工程におけるビット線コンタクト部の第1ステップを示す構成説明図である。

【図7】上記第1実施例のメモリセル作製工程におけるビット線コンタクト部の第2ステップを示す構成説明図である。

【図8】上記第1実施例のメモリセル作製工程におけるビット線コンタクト部の第3ステップを示す構成説明図である。

【図9】上記第1実施例のメモリセル作製工程におけるビット線コンタクト部の第4ステップを示す構成説明図である。

【図10】上記第1実施例のメモリセル作製工程におけるビット線コンタクト部の第5ステップを示す構成説明図である。

【図11】上記第1実施例のメモリセルを示す全体構成説明図である。

【図12】上記第1実施例のメモリセル作製工程の1ステップを示す全体構成説明図である。

【図13】図12におけるE-E'線の矢印の方向に見

7

た全体構成説明図である。

【図14】上記第1実施例のメモリセル作製工程における蓄積電極コンタクト部の第6ステップを示す構成説明図である。

【図15】上記第1実施例のメモリセル作製工程におけるビット線コンタクト部の第6ステップを示す構成説明図である。

【図16】上記第1実施例のメモリセル作製工程の変形例の1ステップを示す全体構成説明図である。

【図17】図16におけるC-C'線の矢印の方向に見た全体構成説明図である。

【図18】図16におけるD-D'線の矢印の方向に見た全体構成説明図である。

【図19】本発明の第2実施例のメモリセル作製工程における蓄積電極コンタクト部の1ステップを示す構成説明図である。

【図20】上記第2実施例のメモリセル作製工程における蓄積電極コンタクト部の図19に続くステップを示す構成説明図である。

【図21】上記第2実施例のメモリセル作製工程におけるビット線コンタクト部の1ステップを示す構成説明図である。

【図22】上記第2実施例のメモリセル作製工程にお

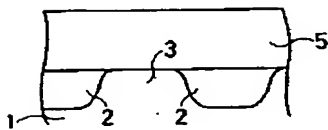
8

るビット線コンタクト部の図21に続くステップを示す構成説明図である。

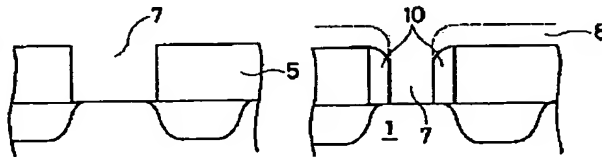
【符号の説明】

- 1 Si基板
- 2 素子分離料域
- 3 活性領域
- 4 ワード線
- 5 層間絶縁膜
- 6 ビット線コンタクトホール
- 7 蓄積電極コンタクトホール
- 8 SiO<sub>2</sub>膜
- 9, 10 SiO<sub>2</sub>の側壁
- 11 多結晶シリコン
- 12 タングステンシリサイド
- 13 SiO<sub>2</sub>膜
- 15 ビット線側壁
- 20 ワード線段差部
- 21 エッチング残
- 22 レジストパターン
- 30 埋め込み部
- 31 キャパシタ下部電極
- 32 キャパシタ絶縁膜
- 33 プレート電極

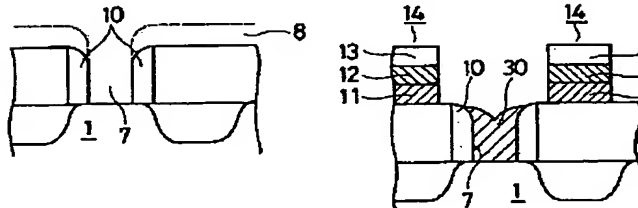
【図1】



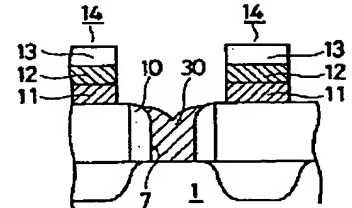
【図2】



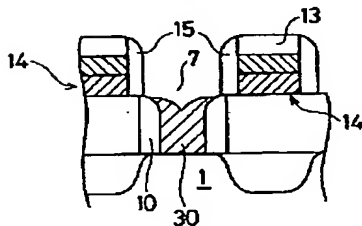
【図3】



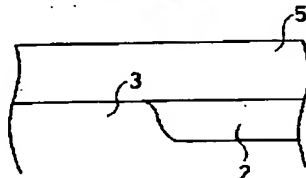
【図4】



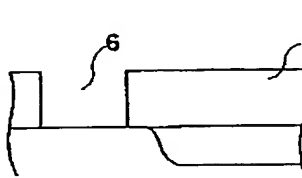
【図5】



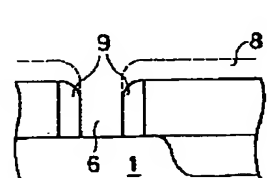
【図6】



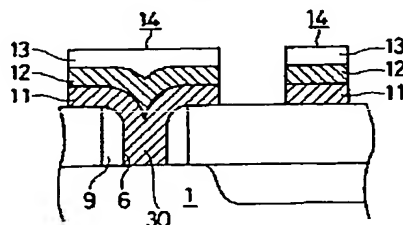
【図7】



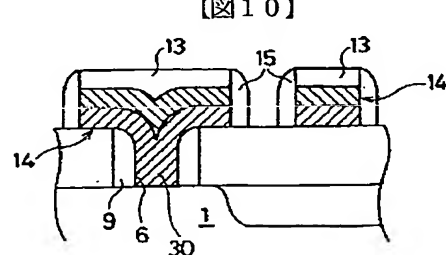
【図8】



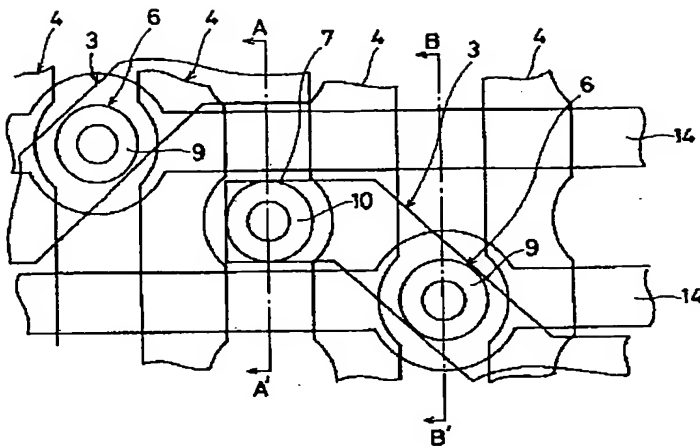
【図9】



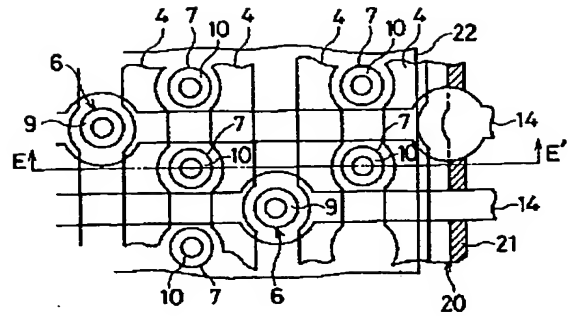
【図10】



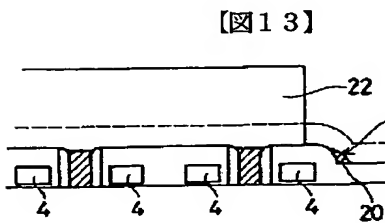
【図11】



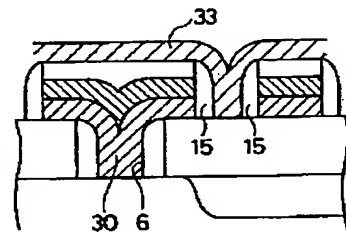
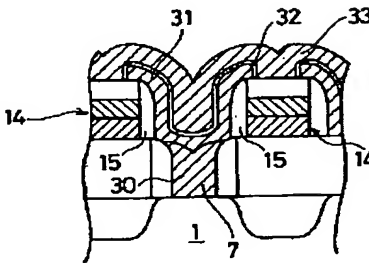
【図12】



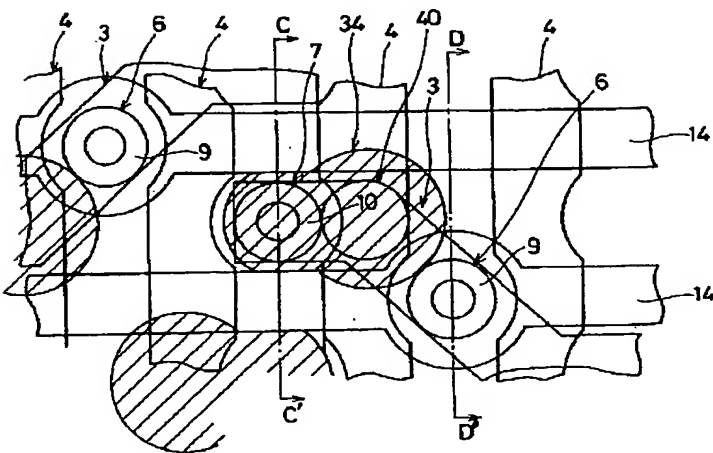
【図13】



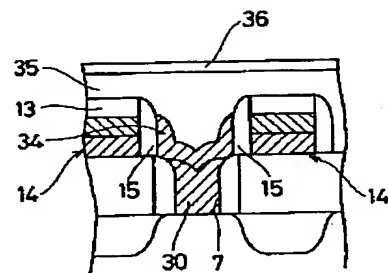
【図14】



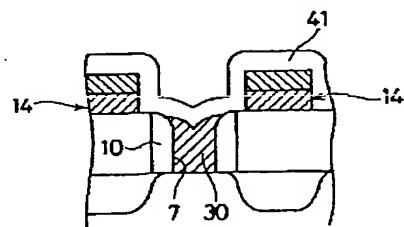
【図16】



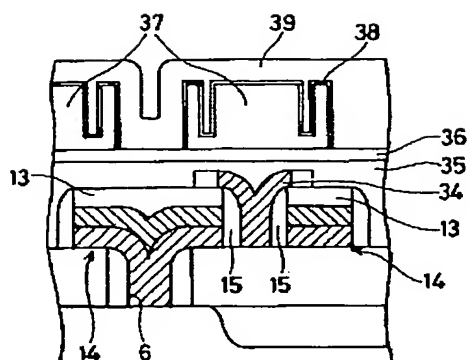
【図17】



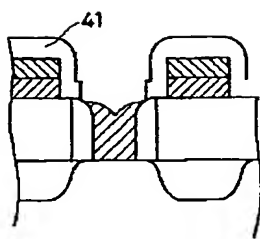
【図19】



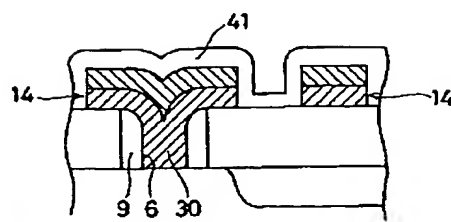
【図18】



【図20】



【図21】



【図22】

